

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-282897
(43)Date of publication of application : 29.10.1993

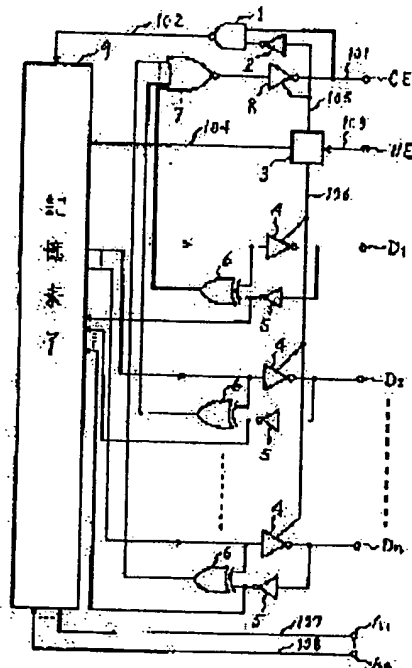
(51)Int.Cl. G11C 29/00

(21)Application number : 04-075029 (71)Applicant : NEC CORP
(22)Date of filing : 31.03.1992 (72)Inventor : KOBAYASHI MASAHIRO

(54) SEMICONDUCTOR MEMORY CIRCUIT

(57)Abstract:

PURPOSE: To prevent a malfunction at the time of testing an operation by testing without operating an output buffer at the time of testing the operation.
CONSTITUTION: An EXOR circuit 6 compares data read from a memory cell 9 with data of pins of D1, D2,..., Dn, and inputs compared results to a NOR circuit 7. The an AND operation is executed for the data, the data is inverted, output, and input to a 3-state buffer 8. In this case, a control signal 105 of a VH level is input from a tertiary value input circuit 3 to the buffer 8, and the output of the circuit 7 is externally output as a comparison result 101 through a CE pin as it is. Propriety of a semiconductor memory circuit is decided without malfunction by referring to the result 101.



LEGAL STATUS

[Date of request for examination] 28.03.1996
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 2870291
[Date of registration] 08.01.1999
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-282897

(43)公開日 平成5年(1993)10月29日

(51)Int.Cl.⁵
G11C 29/00

識別記号 庁内整理番号
303 B 6741-5L

F I

技術表示箇所

審査請求 未請求 請求項の数2(全6頁)

(21)出願番号 特願平4-75029

(22)出願日 平成4年(1992)3月31日

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 小林 雅弘

東京都港区芝五丁目7番1号日本電気株式
会社内

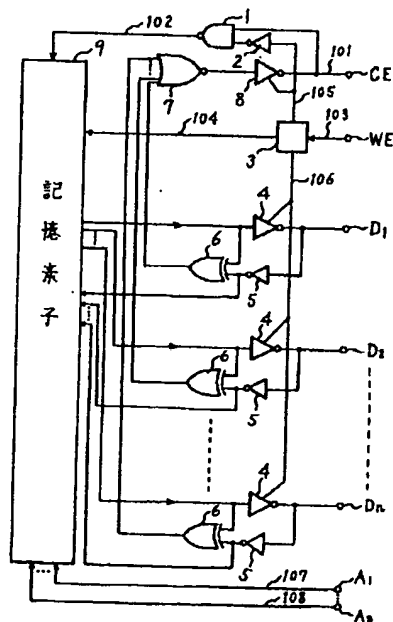
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体記憶回路

(57)【要約】

【目的】 半導体記憶回路の動作試験時における誤動作を防止する。

【構成】 本発明をn個の並列データに対応する読み書き可能な半導体記憶回路に適用した場合の構成を示すブロック図であり、NAND回路1と、インバータ2と、書き込み信号が入力される3値入力回路3と、各読出しデータの出力を制御するn個の3ステートバッファ4と、各書き込み入力データを反転して出力するn個のインバータ5と、D₁、D₂、……、D_nの各ピンより入力される情報と、記憶素子9より出力される情報とを比較するために、これらの両情報の排他的論理和演算を行うn個のEXOR回路6と、前記n個のEXOR回路6より出力される比較結果の外部に対する出力可否を制御する3ステートバッファ8と、n個の並列データが書込まれる前記記憶素子9とを備えて構成される。



1-NAND回路
2-インバータ
3-3値入力回路
4,8-3ステートバッファ
6-EXOR回路
7-NOR回路

ータ内容との比較は、それぞれ n 個のEXOR回路6において行われ、その比較結果は、NOR回路7および3ステートバッファ8を経由して、CE端子より外部に出力される。この場合、上記の比較出力の外部に対する出力制御は3ステートバッファ8により行われている。この3ステートバッファ8においては、WEピンを介して外部より入力されるWE信号103のレベルがLOWレベル（以下、 V_L と云う）の時には、当該記憶回路内のWE信号104としてはHIGHレベル（以下、 V_H と云う）が出力され、3ステートバッファ8に対する制御信号105、および3ステートバッファ4に対する制御信号106としては、それぞれ V_L が出力される。また、逆に、WEピンを介して外部より入力されるWE信号103のレベルがHIGHレベル、即ち V_H と時には、WE信号104としては V_L が出力され、3ステートバッファ8に対する制御信号105としては V_H 、3ステートバッファ4に対する制御信号106としては V_L が出力される。そして、WEピンに入力されるWE信号103のレベルが、通常のHIGHレベル即ち、 V_H よりも更に高い電圧レベル（以下、 V_{HH} と云う）の時には、WE信号104としては V_H が出力され、3ステートバッファ8に対する制御信号105としては V_L 、3ステートバッファ4に対する制御信号106としては V_H が出力される。このような構成の3値入力回路3を実現する方法としては種々の回路が考えられるが、その一例が、図2に示されるように、PMOSトランジスタ10および12と、NMOSトランジスタ11および13と、インバータ14と、NOR回路15および16とにより構成されており、NMOSトランジスタ11のしきい値電圧は、上述の電圧レベル V_H よりも高いレベルに設定されている。

【0010】この半導体記憶回路の動作を試験する場合には、まず、 D_1 、 D_2 、……、 D_n の各ピンよりは、それぞれ書込みデータが入力され、またWEピンには電圧レベル V_L が印加される。これにより、三値入力回路3より出力されるWE信号104は V_H レベルの信号として記憶素子9に入力され、前記書込みデータは、それぞれインバータ5により反転出力されて記憶素子9に入力され、当該書込みデータの書込みが行われる。なお、この時点においては、3ステートバッファ4および

8は、共にハイインピーダンスの状態となっている。

【0011】次に、 D_1 、 D_2 、……、 D_n の各ピンより入力されたデータが、それぞれ記憶素子9に書込まれているままの状態において、WEピンに電圧 V_{HH} が印加される。これにより、三値入力回路3より出力されるWE信号104として、 V_L の電圧が出力されて記憶素子9に入力され、記憶素子9に書込まれているデータの読出し状態となり、読出されたデータは、それぞれ対応する3ステートバッファ4およびEXOR回路6に入力される。EXOR回路6においては、これらの読出され

たデータは、それぞれ D_1 、 D_2 、……、 D_n の各ピンにおけるデータと比較され、それぞれの比較結果は、NOR回路7に入力されて論理和がとられ反転出力されて3ステートバッファ8に入力される。その際、3ステートバッファ8に対しては、三値入力回路3より V_H レベルの制御信号105が入力されており、NOR回路7の論理和反転出力は、そのままCEピンを介して外部に出力される。なお、この時点においては、三値入力回路3より出力される制御信号106は V_L レベルであるために、 n 個の3ステートバッファ4はハイインピーダンスの状態のままである。

【0012】また、この半導体記憶回路に対して、通常の読出し動作を行わせるためには、WEピンに電圧 V_H を印加すればよく、これにより、WE信号104は V_L 、制御信号105は V_L 、そして制御信号106は V_H となるため、記憶素子9から読出されたデータは、3ステートバッファ4を介して、それぞれ D_1 、 D_2 、……、 D_n ピンより出力される。

【0013】次に、本発明の第2の実施例について説明する。

【0014】図3は本発明の第2の実施例を示すブロック図であり、本発明を、 n 個の並列データを読出して出力する読出し専用の半導体記憶回路に適用した場合の一実施例である。図3に示されるように、本実施例は、NAND回路17と、インバータ18と、書込み信号が入力される三値入力回路19と、各読出しデータの出力を制御する n 個の3ステートバッファ20と、それぞれ D_1 、 D_2 、……、 D_n の各ピンにおけるデータを反転して出力する n 個のインバータ21と、それぞれ記憶素子25より読出されるデータとインバータ21より出力されるデータとを比較する n 個のEXOR回路6と、前記 n 個のEXOR回路22の出力の論理和反転演算を行うNOR回路23と、前記NOR回路23の出力を制御する3ステートバッファ24と、 n 個の並列データが書込まれている記憶素子25とを備えて構成される。また、図4に示される回路は、図3における三値入力回路19の一例を示す図である。

【0015】以下、本実施例について動作試験を行う場合の動作について、図3および図4を参照して説明する。

【0016】図3における三値入力回路19は、図4に示されるように、PMOSトランジスタ26および28と、NMOSトランジスタ27および29と、NAND回路30と、NOR回路31と、インバータ32とを備えて構成されている。図4を参照して理解されるように、OEピンに V_L レベルのOE信号111が入力される時には、制御信号112としては V_L レベル、制御信号113としては V_H レベルが出力されて、それぞれ3ステートバッファ24および20に入力される。また、OEピンに V_H レベルのOE信号111が入力される時

には、制御信号112および113は、共に V_L レベルが出力され、更に、OEピンに V_{HH} レベルのOE信号111が入力される時には、制御信号112は V_H レベルとなり、制御信号113は V_L レベルとなる。

【0017】このような読出し専用の半導体記憶回路の動作試験を行う場合においては、先ず D_1 、 D_2 、……、 D_n の各ピンより、読出しの対象となる、記憶素子25に記憶されているデータ（期待値）が入力され、OEピンよりは V_{HH} レベルの電圧が印加される。これにより、制御信号112は V_H レベルとなり、制御信号113は V_L レベルとなって、3ステートバッファ20はハイインピーダンス状態となる。従って、前述の第1の実施例の場合と同様に、それぞれのEXOR回路22において、記憶素子25より読出されたデータと、 D_1 、 D_2 、……、 D_n の各ピンより入力されたデータとが比較され、その出力は、それぞれ多入力のNOR回路23に入力されて論理和反転演算され、その出力は、そのまま V_H レベルの制御信号112により制御される3ステートバッファ24を経由し、CEピンを介して比較結果109として外部に出力される。この比較結果109を参照することにより、当該半導体記憶回路の良否が判定される。

【0018】

【発明の効果】以上説明したように、本発明は、半導体

記憶回路に適用されて、当該半導体記憶回路の動作試験時に、出力バッファを動作させることなしに試験を行うことが可能となり、これにより動作試験時における誤動作を防止し、安定した動作試験を行うことができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すブロック図である。

【図2】第1の実施例における三値入力回路を示すブロック図である。

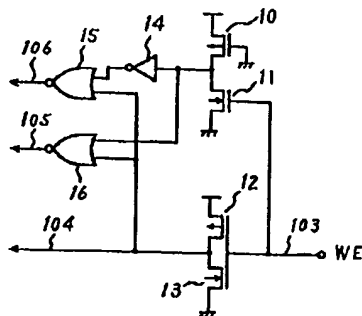
【図3】本発明の第2の実施例を示すブロック図である。

【図4】第2の実施例における三値入力回路を示すブロック図である。

【符号の説明】

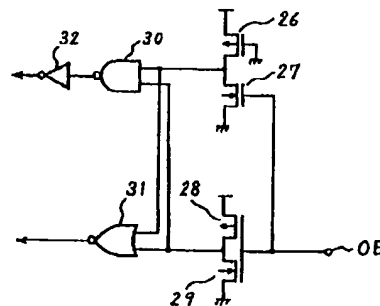
- 1、17、30 NAND回路
- 2、5、14、18、21、32 インバータ
- 3、19 三値入力回路
- 4、8、20、24 3ステートバッファ
- 6、22 EXOR回路
- 7、15、16、23、31 NOR回路
- 9、25 記憶素子
- 10、12、26、28 PMOSトランジスタ
- 11、13、27、29 NMOSトランジスタ

【図2】



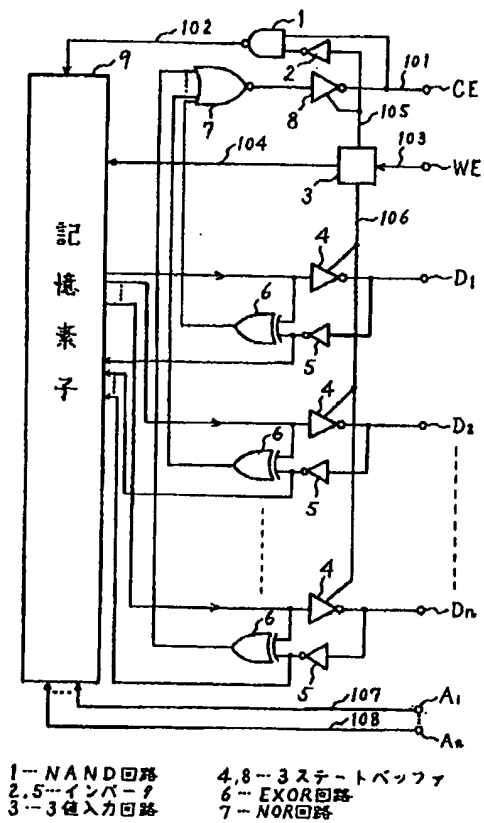
- 10、12 --- PMOS トランジスタ
- 11、13 --- NMOS トランジスタ
- 14 --- インバータ
- 15、16 --- NOR 回路

【図4】



- 26、28 --- PMOS トランジスタ
- 27、29 --- NMOS トランジスタ
- 30 --- NAND 回路
- 31 --- NOR 回路
- 32 --- インバータ

【図1】



【図3】

